

Le BUS I2C

A / INTRODUCTION



Le bus I2C (Inter Integrated Circuit Bus) a été développé par Philips dans les années 80. Ceci pour permettre de relier facilement un microprocesseur à divers circuits intégrés (acquisition, stockage, affichage de données ...).

B / CARACTERISTIQUES GENERALES

Le bus I2C permet de faire communiquer, par une liaison série synchrone, des composants électroniques très divers grâce à seulement trois fils :

- un signal de donnée (SDA),
- un signal d'horloge (SCL),
- un signal de référence électrique (Masse).

Ce bus peut fonctionner en mode multi-maître et sa longueur peut atteindre 3 à 4 mètres.

Dans sa version de base, les données sont transmises en série à 100 kbits/s avec des adresses sur 7 bits. Avec la révision de la norme en 1992 la vitesse passe à 400 kbits/seconde et l'adressage à 10 bits.

La variété des circuits disponibles disposant d'un port I2C est énorme : Ports d'E/S bidirectionnels, Convertisseurs A/N et N/A, mémoires (RAM, EPROM, EEPROM, etc...), Circuits Audio, drivers (LED, LCD ...).

C / FONCTIONNEMENT DU BUS I2C

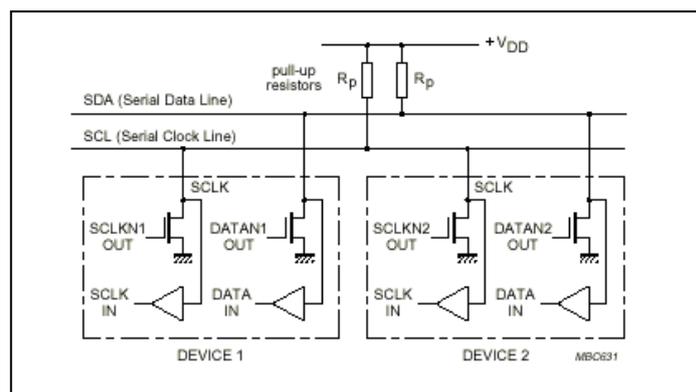
1 / Caractéristiques électriques

Afin d'éviter les conflits électriques **les Entrées/Sorties, SDA et SCL ne peuvent être mises qu'à l'état bas (0V).**

L'état logique haut est réalisé par des résistances 'Rp' de rappel connecté à l'alimentation 'VDD' (pull-up).

Au repos les sorties sont à l'état haut.

Les tensions de fonctionnement sont : 5V ou 3.3V



2 / Terminologie

- Emetteur** : Unité qui envoie les données sur le bus.
Récepteur : Unité qui reçoit les données du bus.
Maître : **Unité qui démarre un transfert, génère des signaux d'horloge et met fin au transfert.**
Esclave : Unité adressée par le maître.
SDA : Ligne des signaux de données.
SCL : Ligne des signaux d'horloge.

3 / Protocole de transmission . (cas simple avec un seul maître)

Le protocole de communication doit prendre en compte les règles suivantes :

- une distinction entre le circuit maître (celui qui décide du dialogue) et les circuits esclaves,
- une identification des circuits,
- un acquittement des transferts (confirmation par les circuits de la bonne réception des informations qui leur ont été transmises),
- un système de priorité en cas de conflit.

Dans les applications courantes les modes les plus utilisés sont les suivants :

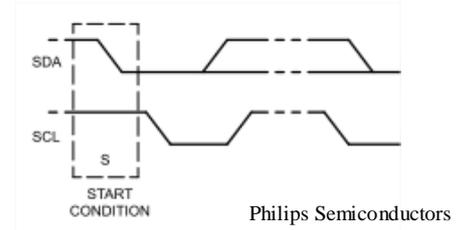
a / Au repos (en l'absence de transmission)

Les lignes SDA et SCL sont au niveau haut

b / La condition de départ

Le maître prend le contrôle du bus I²C en émettant une condition de départ :

- Niveau haut sur SCL
- Front descendant sur SDA

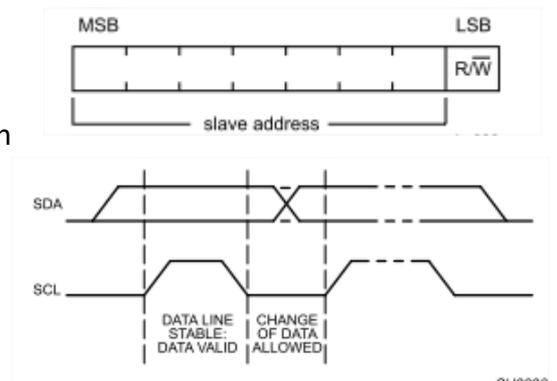


c / Transmission de l'adresse

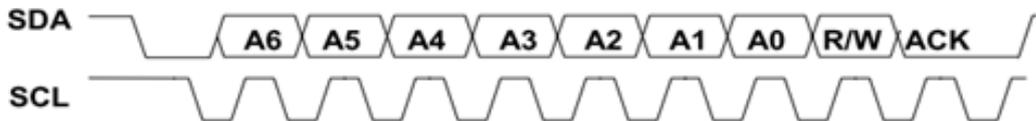
Après avoir pris le contrôle, le maître transmet un octet contenant l'adresse de l'esclave (sur 7 bits) ainsi que l'opération effectuée (écriture ou lecture).

R/ \bar{W} : Lecture (NL 1), Ecriture (NL 0)

La transmission d'un bit se fait lorsque le signal SCL est au niveau haut :



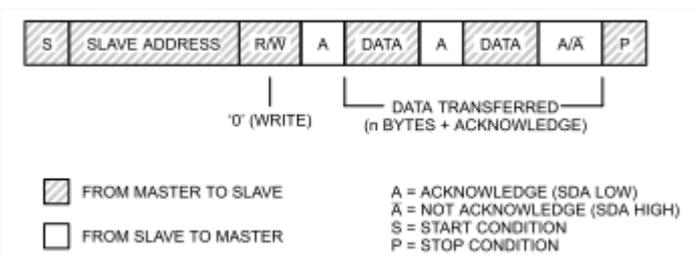
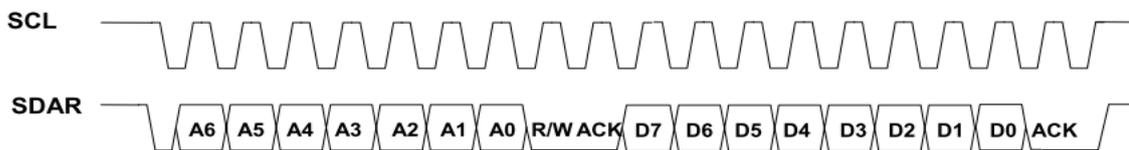
Lorsque l'esclave a détecté son adresse, il émet un bit d'acquiescement (ACK) au niveau logique bas.



d / Transmission des données

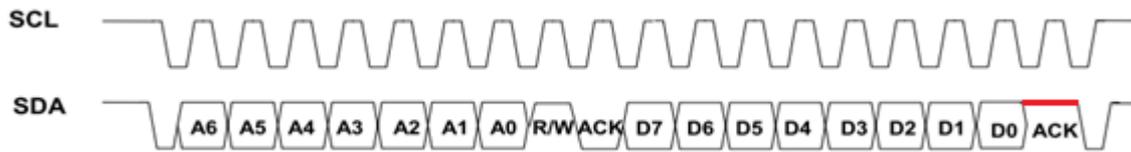
Deux cas se présentent :

- Le maître envoie des données à l'esclave.** A la fin de la transmission de chaque octet, l'esclave émet un acquiescement.



Philips Semiconductors

- L'esclave envoie des données au maître.** A la fin de la transmission d'un octet, le maître émet un acquittement s'il veut recevoir encore un octet ou bien un non acquittement (NL 1) s'il a terminé de recevoir.



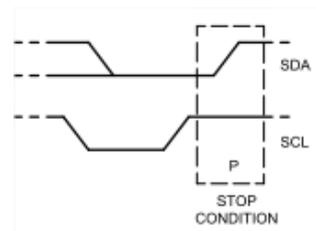
Philips Semiconductors

e / Fin de la communication

Pour terminer la communication, le maître émet une condition d'arrêt.

- Niveau haut sur SCL
- Front montant sur SDA

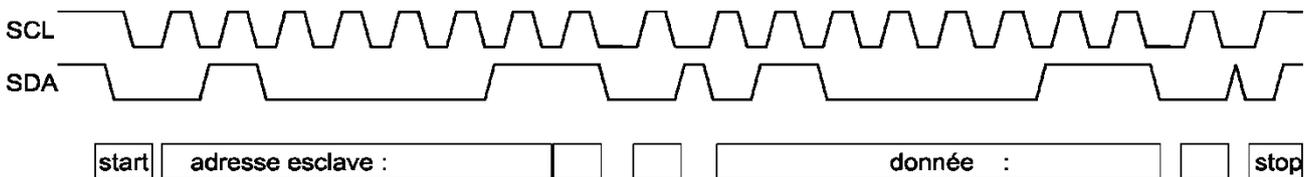
Tous les abonnés sont alors déconnectés du bus. SDA et SCL sont au niveau haut.



Philips Semiconductors

D / LECTURE D'UNE TRAME I2C

1) Soient les chronogrammes ci-dessous:



Compléter avec les valeurs transmises ou reçues.